

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-163912
 (43)Date of publication of application : 15.07.1991

(51)Int.Cl. H03L 7/187

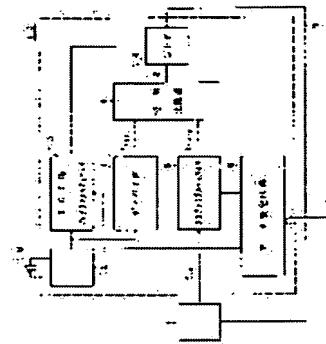
(21)Application number : 01-304254 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 21.11.1989 (72)Inventor : KATO NAOYUKI

(54) PLL FREQUENCY SYNTHESIZER CIRCUIT

(57)Abstract:

PURPOSE: To optimize the band characteristic (cut-off frequency) of an LPF corresponding to a system by using an SCF as the LPF to integrate a phase comparing output waveform and to generate the control voltage of a voltage controlled oscillator and further providing a means to vary the period of a clock signal to be applied to this SCF.

CONSTITUTION: A function block is equipped with an LPF 14 realized by the SCF and a programmable divider 13 for SCF to supply the clock signal to the LPF 14. A data set circuit 6 to set the frequency dividing ratio of the programmable divider 13 for SCF can be shared to set the frequency dividing ratio of a programmable divider 5 for frequency division to an output fIN of a VCO 1. In such a circuit, since the frequency dividing ratio of the programmable divider 13 for SCF can be freely set through the data set circuit 6 by external data 11, the clock signal to be applied to the LPF 14 by the SCF can be made variable.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A)

平3-163912

⑬ Int. Cl. 5
H 03 L 7/187

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)7月15日

8731-5J H 03 L 7/18

D

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 PLL周波数シンセサイザ回路

⑯ 特願 平1-304254

⑯ 出願 平1(1989)11月21日

⑰ 発明者 加藤直之 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑯ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑯ 代理人 弁理士 大岩増雄 外2名

明細書

1. 発明の名称

PLL周波数シンセサイザ回路

2. 特許請求の範囲

電圧制御発振器とローパスフィルタを有し、PLL回路を用いた周波数シンセサイザ回路において、位相比較出力波形を積分し、前記電圧制御発振器の制御電圧を発生するローパスフィルタとしてSCFを用い、さらに、このSCFに与えるクロック信号の周期を可変する手段を設けたことを特徴とするPLL周波数シンセサイザ回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、PLL(Phase Locked Loop)周波数シンセサイザ回路に関するものである。

(従来の技術)

第3図は、PLL技術を用いた周波数シンセサイザの構成図である。図において、1は電圧制御発振器(VCO)、2は基準周波数発振器(OSC)、3はディバイダ、4は位相比較器、5はブ

ログラマブルディバイダ、6はデータ設定回路、7はローパスフィルタ(LPF)、8は位相比較器出力、9はLPF出力、10は水晶振動子、11は外部データ、12はシンセサイザ用半導体集積回路装置である。

PLL周波数シンセサイザにおいて、被制御周波数 f_{IN} は、

$$f_{IN} = N \cdot f_{REF} \quad \dots \dots \quad (1)$$

で表される。第(1)式において、Nはプログラマブルディバイダ5の分周比であり、データ設定回路6によって、外部データ11により設定される。また、 f_{REF} はディバイダ3の出力周波数である。Nは外部データ11により、自由に書き換えることができ、結果として、被制御周波数 f_{IN} を可変することができる。PLL周波数シンセサイザにおいては、VCO1の周波数 f_{IN} が、前記第(1)式で表される周波数に制御されるようにフィードバックループが構成される。

その原理を簡単に説明する。位相比較器4において、ディバイダ3の出力 f_{REF} とプログラマブ

ルディバイダ5の出力 f_{IN}/N の位相が比較され、その位相差が位相比較器出力8として出力される。位相比較器出力8は、LPPF7によって積分され直流電圧に変換されて、VCO1へ与えられる。

結果として、 f_{REF} と f_{IN}/N の位相差が0となるように制御され、第(1)式が成立する。

(発明が解決しようとする課題)

第3図に示す従来のPLL周波数シンセサイザ回路は、LPPF7として、第4図に示すようなCRのアクティブフィルタを使用するのが一般的である。ここで、 R_1, R_2 は抵抗器、Cはコンデンサ、OPは演算増幅器である。

LPPF7の帯域、すなわちカットオフ周波数は、用いられる f_{REF} に応じて最適に設定する必要がある。 f_{REF} は通常、比較周波数と呼んでいるが、PLL周波数シンセサイザを適用するシステムによっては、かなり大幅に変化する。一例として、オーディオ用のチューナを考えると、FM時は25kHz、AMの中波時に9kHzまたは

10kHz、AMの長波時には1kHzであり、1kHz~25kHzまで変化する。また、無線機の場合も同様であり、1kHz~10kHz程度まで変化する。

第4図に示すCRのアクティブフィルタの場合、そのカットオフ周波数は、コンデンサCと抵抗器 R_2 の値により決定されるが、一義的な値しか取れないため、場合によってはVCO1の周波数安定度ロックアップ時間が悪くなる場合があった。

それを避けるため、第5図に示すようにCRの切り替え回路 SW_1, SW_2 を付加して、 C_1, R_2, C_2, R_3 の切り替えを行う方法も考案されているが、部品点数が増加し、コストアップになる。

この発明は、上記の問題点を解決するために成されたもので、LPPF7として、SCF(Switched Capacitor Filter)を使うように工夫したものである。

(課題を解決するための手段)

3

この発明に係るPLL周波数シンセサイザ回路は、その構成要素であるLPPFとして、SCFを用い、さらに、このSCFに与えるクロック信号の周期を可変する手段を設けたものである。

(作用)

この発明においては、SCFによるLPPFを用いたので、その帯域特性をクロック信号により可変でき、比較周波数 f_{REF} に応じて最適に設定することができるため、VCOの周波数安定度を高めたり、ロックアップ時間を短くできる。

(実施例)

以下、この発明の一実施例を図について説明する。

第1図において、1~6および8~12は第3図の従来例と同一の構成部分を表す。13、14はこの発明において手を加えた機能ブロックであり、14はSCFにより実現されたLPPF、13はLPPF14へクロック信号を供給するためのSCF用プログラマブルディバイダである。

第2図(a)、(b)はSCFの基本回路図

4

で、第2図(a)は並列形積分回路と直列形積分回路を示し、 C_1, C_2 はコンデンサ、OPは演算増幅器、 SW_1 はスイッチで、2相クロックで周期的に駆動され、接点A、Bを交互に接続するようになっている。

このように、インダクタンスと抵抗を一切使用していないで小形化、集積化が容易である。その動作原理は、一般的なものであるので、その説明は省略するが、スイッチ SW_1 を制御するクロック信号によりその帯域特性を変化させることができ、CRによるアクティブフィルタと同等の機能を実現できる。

SCF用プログラマブルディバイダ13の分周比を設定するデータ設定回路6は、VCO1の出力 f_{IN} を分周するプログラマブルディバイダ5の分周比を設定するデータ設定回路6を共有することができる。また、OSC2および水晶振動子10も共用できるので、単にSCF用プログラマブルディバイダ13を付加するだけでよい。

第1図の実施例において、外部データ11によ

リデータ設定回路 6 を介して、 S C F 用プログラマブルディバイダ 1 3 の分周比を自由に設定できる所以ができるので、 S C F による L P F 1 4 へ与えるクロック信号を可変することができる。したがって、 S C F による L P F 1 4 のカットオフ周波数を自由に変えることができ、 V C O 1 の周波数安定度、ロックアップ時間改善することができる。

また、 S C F による L P F は、 M O S プロセス技術により、外付け部品なしで半導体集積回路化が可能となるので、従来外付けとなっていた第 4 図、第 5 図に示すような抵抗器、コンデンサ、演算増幅器、スイッチ等が不要となり、コストの低減、基板の省スペース化も図れるメリットがある。

(発明の効果)

以上のように、この発明によれば、 S C F による L P F を用い、そのクロック信号を発生させるプログラマブルディバイダの分周比を外部データにより可変としたので、 L P F の帯域特性 (カッ

トオフ周波数) をシステムに応じて最適化でき、 V C O の周波数安定度、応答時間を改善できる効果がある。

4. 図面の簡単な説明

第 1 図はこの発明による P L L 周波数シンセサイザ回路の一実施例を示す図、第 2 図 (a)、(b) はこの発明に用いる S C F の基準回路の一例を示す図、第 3 図は従来の P L L 周波数シンセサイザ回路の構成図、第 4 図、第 5 図は従来の C R による L P F 回路例を示す図である。

図において、 1 は電圧制御発振器、 2 は基準周波数発振器、 3 はプログラマブルディバイダ、 6 はデータ設定回路、 7 はロクバスフィルタ、 8 は位相比較器出力、 9 は L P F 出力、 1 0 は水晶振動子、 1 1 は外部データ、 1 2 はシンセサイザ用半導体集積回路装置である。

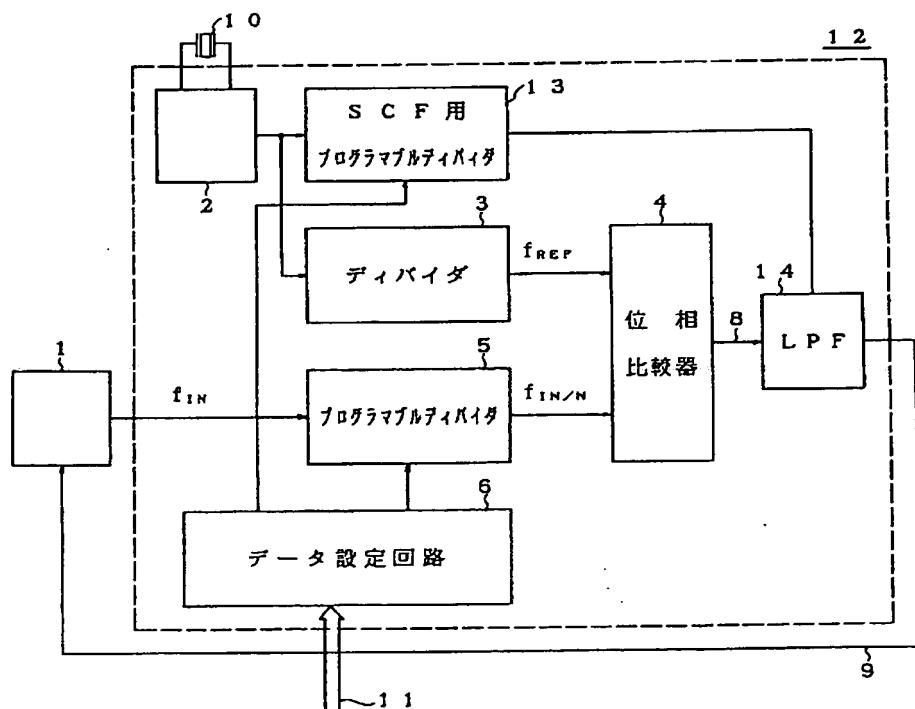
なお、各図中の同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄 (外 2 名)

7

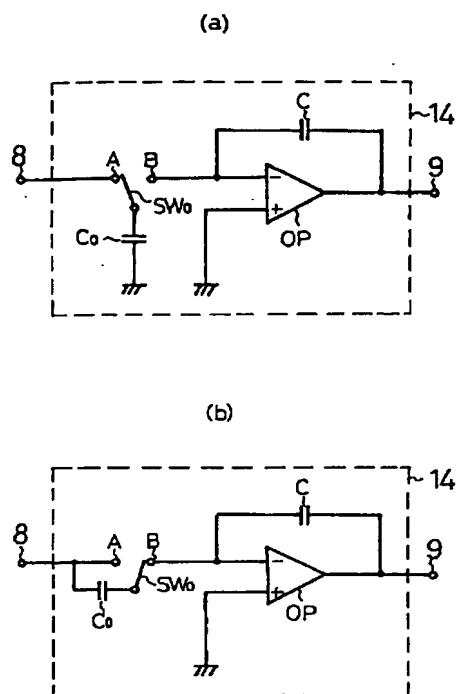
8

第 1 図

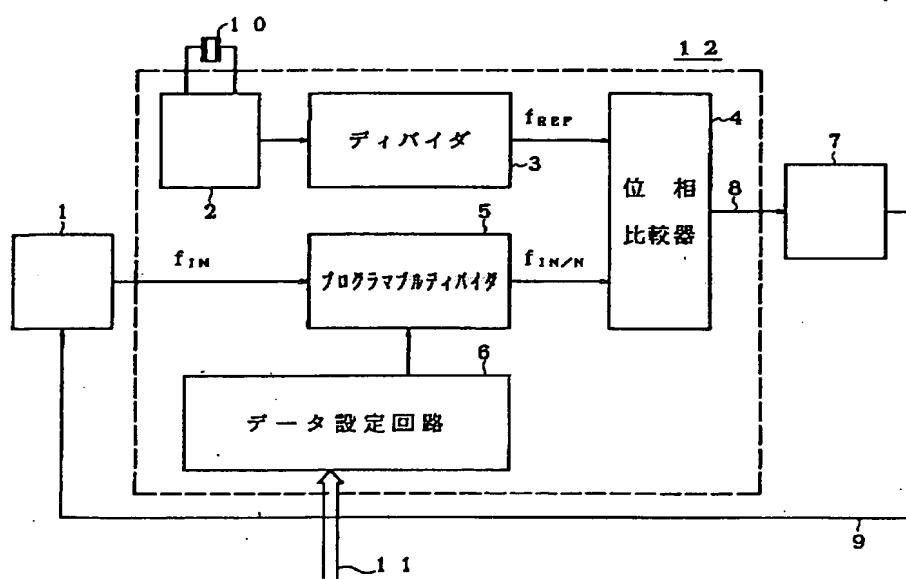


1 : 電圧制御発振器 (VCO)	1 0 : 水晶振動子
2 : 基準周波数発振器 (OSC)	1 1 : 外部データ
8 : 位相比較器出力	1 2 : シンセサイザ用半導体集積回路装置
9 : L P F 出力	

第 2 図



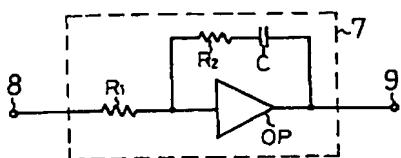
第 3 図



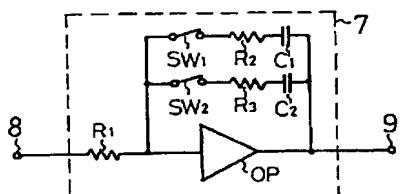
手 続 補 正 書 (自発)

平成 2 年 月 31 日 通

第 4 図



第 5 図



特許庁長官殿

1. 事件の表示

特願昭1-304254号

2. 発明の名称

PLL周波数シンセサイザ回路

3. 補正をする者

事件との関係 特許出願人

住 所 東京都千代田区丸の内二丁目2番3号

名 称 (601)三菱電機株式会社

代表者 志岐 守哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号

三菱電機株式会社内

氏 名 (7375)弁理士 大岩 増雄

(連絡先03(213)3421特許部)



方 式 査 (公 用)

(1)

5. 補正の対象

明細書の特許請求の範囲の欄、発明の詳細な説明の欄および図面の簡単な説明の欄

6. 補正の内容

(1) 明細書の特許請求の範囲を別紙のように補正する。

(2) 明細書の第4頁8~9行の「周波数安定度ロックアップ時間」を、「周波数安定度およびロックアップ時間」と補正する。

(3) 同じく第4頁17行の「L P F 7」を、「L P F」と補正する。

(4) 同じく第5頁3行、第6頁18行の「S F C」を、「S C F」と補正する。

(5) 同じく第8頁12行の「3はプログラマブルディバイダ」を、「5はプログラマブルディバイダ」と補正する。

以 上

2. 特許請求の範囲

電圧制御発振器とローパスフィルタを有し、PLL回路を用いた周波数シンセサイザ回路において、位相比較出力波形を積分し、前記電圧制御発振器の制御電圧を発生するローパスフィルタとしてS C Fを用い、さらに、このS C Fに与えるクロック信号の周期を可変する手段を設けたことを特徴とするPLL周波数シンセサイザ回路。